

**SULIT**



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN  
JABATAN PENDIDIKAN POLITEKNIK  
KEMENTERIAN PENDIDIKAN TINGGI**

**JABATAN KEJURUTERAAN ELEKTRIK**

**PEPERIKSAAN AKHIR**

**SESI DISEMBER 2015**

**DEE2034: DIGITAL ELECTRONICS**

**TARIKH : 14 APRIL 2016**

**MASA : 2.30 PM – 4.30 PM (2 JAM)**

---

Kertas ini mengandungi **EMPAT BELAS (14)** halaman bercetak.

Bahagian A: Objektif (10 soalan)

Bahagian B: Struktur (4 soalan)

Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan: Tiada

---

**JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN**

(CLO yang tertera hanya sebagai rujukan)

**SULIT**



CLO1  
C3

4. Choose the right figure (A-D) below that equivalent to Figure A4.

Pilih rajah yang betul (A-D) di bawah yang setara dengan Rajah A4.

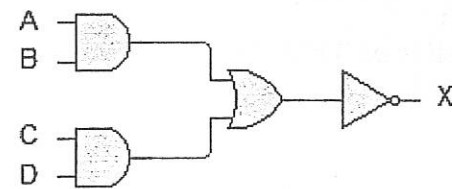
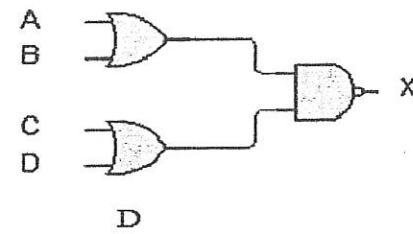
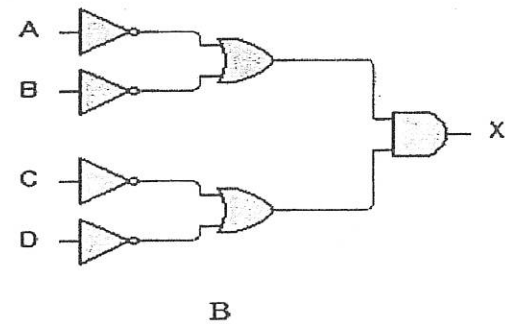
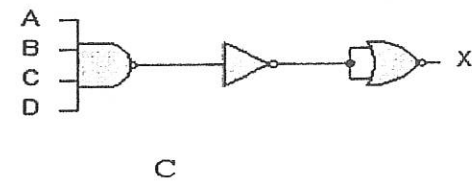
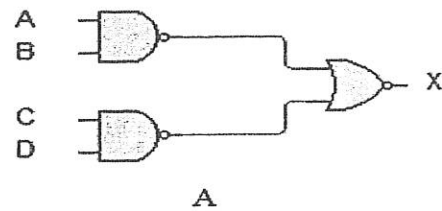


Figure A4 / Rajah A4



CLO1  
C2

5. Figure A5 shows the basic digital computer system. From Figure A5, all the statement given are true EXCEPT

Rajah A5 menunjukkan asas sistem komputer digital. Berdasarkan Rajah A5, pernyataan yang diberikan adalah betul **KECUALI**

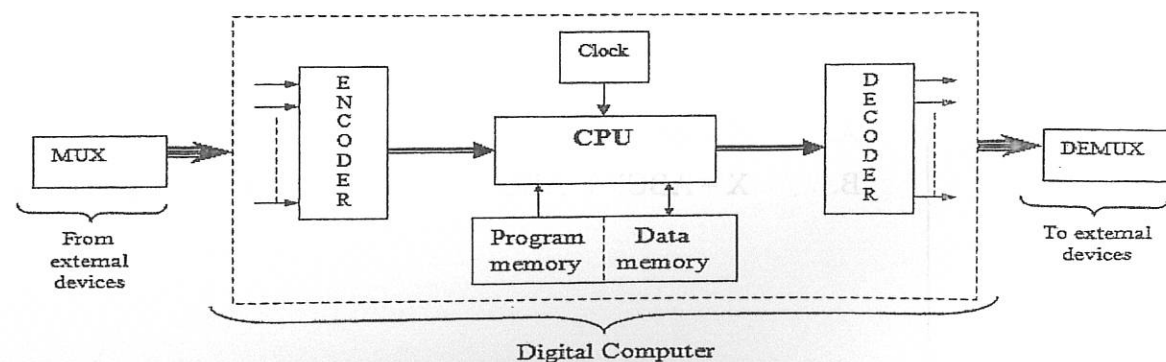


Figure A5 / Rajah A5

A. Encoder is used to generate a coded output (such as BCD or binary) from a singular active numeric input line

Pengkod adalah digunakan untuk menghasilkan keluaran yang dikodkan (seperti BCD dan kod perduaan) daripada masukan angka tunggal aktif

B. Decoder is the process of converting some code (such as binary, BCD or HEX) into a singular active output representing its numeric value.

Penyahkod adalah proses menukarkan kod (seperti kod perduaan, BCD dan Perenambelas) kepada keluaran aktif tunggal.

C. Multiplexer is known as a data distributor that allows digital information from several sources to be routed onto a single line for transmission.

Pemultipleks adalah pembahagi data yang membenarkan penghantaran informasi digital daripada beberapa sumber untuk ditukarkan kepada satu keluaran tunggal.

D. Demultiplexer takes a single input data value and routes it to one several output.

Penyahmultipleks mengambil data masukan tunggal dan ditukarkan kepada beberapa output.

CLO2  
C1

6. From Figure A6, input for X, Y and Z will give the output, logic 1 (F = 1) to a logic circuit below, EXCEPT

Berdasarkan litar logik dalam Rajah A6 di bawah, masukan untuk X, Y dan Z akan memberi keluaran berlogik 1 (F=1) **KECUALI**

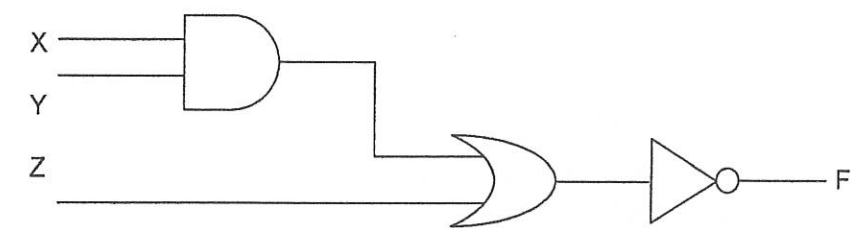


Figure A6 / Rajah A6

	X	Y	Z
A.	0	0	0
B.	0	1	0
C.	1	0	0
D.	1	1	1

CLO2  
C2 7. Identify the input for JK flip-flop for no change mode.  
*Kenalpasti masukan untuk flip flop JK bagi mod tidak berubah*

- A. J = 1, K = 1
- B. J = 1, K = 0
- C. J = 0, K = 0
- D. J = 0, K = 1

CLO2  
C2 8. Which of the following is **TRUE** about Synchronous Counter?  
*Pernyataan manakah yang BENAR mengenai Pembilang Segerak?*

- A. Each flip-flop input must be connected to logic 1.  
*Setiap masukan flip-flop perlu disambungkan ke logik 1.*
- B. Each flip-flop is clocked by the output from the previous flip-flop. Only the first flip-flop is clocked by an external clock.  
*Setiap flip-flop adalah berjam dari keluaran flip-flop yang sebelumnya. Hanya flip-flop yang pertama sahaja berjam dari jam luaran.*
- C. Clock for each flip-flop triggered by the same clock.  
*Klok pada setiap flip-flop dipicu pada klok yang sama.*
- D. Counter only can count up and down in sequence.  
*Pembilang hanya boleh membilang atas dan bawah secara berturutan.*

CLO2  
C3 9. If the input frequency to T – flip flop is 100Hz, calculate the output frequency of the 3 T – flip-flops in cascade.

*Jika frekuensi masukan T-flipflop adalah 100Hz, kirakan frekuensi keluaran bagi 3 T-flip-flop yang disambung secara 'cascade'.*

- A. 1000 Hz
- B. 500 Hz
- C. 333 Hz
- D. 12.5 Hz

CLO2  
C2 10. From Table A10, identify the data when the register performs right shift operation (three times shift) on the application of a clock pulses. The data is 01011000.

*Berdasarkan Jadual A10, kenalpasti data apabila alat daftar menunjukkan operasi anjakan kanan (tiga kali anjakan) di dalam aplikasi denyut jam. Data yang diberikan adalah 01011000.*

Table A10 / Jadual A10

	Binary/Perduaan	Decimal/Perpuluhan
Original number/ Nombor Asal	01011000	88
Shift #3/Anjakan #3		

- A. Binary = 00101100      Decimal = 44  
*Perduaan = 00101100      Perpuluhan = 44*
- B. Binary = 00010110      Decimal = 22  
*Perduaan = 00010110      Perpuluhan = 22*
- C. Binary = 00100000      Decimal = 32  
*Perduaan = 00100000      Perpuluhan = 32*
- D. Binary = 00001011      Decimal = 11  
*Perduaan = 00001011      Perpuluhan = 11*

**SECTION B : 60 MARKS**  
**BAHAGIAN B : 60 MARKAH**

**INSTRUCTION:**

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

**ARAHAN:**

Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab **SEMUA** soalan.

**QUESTION 1**

**SOALAN 1**

- a) State  $234_{10}$  in octal equivalent without using calculator.

*Nyatakan  $234_{10}$  dalam asas perlapanan tanpa menggunakan kalkulator*

[3 marks]

[3markah]

- b) A computer has contents of hexadecimal number stored at the addresses shown in Table B1(b). Translate the hexadecimal contents to binary numbers.

*Sebuah komputer mempunyai kandungan nombor perenambelasan yang tersimpan pada alamat yang ditunjukkan dalam Jadual B1(b). Terjemahkan kandungan nombor perenambelasan tersebut kepada nombor perduaan.*

Table B1(b) / Jadual B1(b)

Address	Hexadecimal contents
2000	D5
2001	AA
2002	88
2003	CD
2004	BE
2005	76

[6marks]

[6 markah]

CLO1  
C3

- c) Illustrate the 8-bit addition of this decimal number in 2's complement.

$(+ 20_{10}) + (- 7_{10})$

*Tunjukkan penambahan 8-bit nombor perpuluhan dalam pelengkap ke-2*

$(+ 20_{10}) + (- 7_{10})$

[6 marks]

[6 markah]

**QUESTION 2**

**SOALAN 2**

CLO1  
C1

- a) Identify the output Q of the logic circuit in Figure B2(a) if the given input as in Table B2(a).

*Dapatkan keluaran Q bagi litar logik dalam Rajah B2(a) jika diberi masukan seperti dalam Jadual B2(a)*

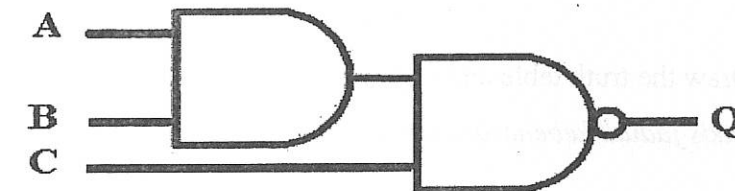


Figure B2(a) / Rajah B2(a)

Table B2(a)/ Jadual B2(a)

Input			Output
A	B	C	Q
1	1	0	
0	1	0	
0	1	1	

[3 marks]

[3 markah]

CLO2  
C3

b) From the truth table in Table B2(b), sketch the logic circuit using SOP equation.

Daripada jadual kebenaran dalam Jadual B2(b), lakarkan litar logik menggunakan persamaan SOP.

Table B2(b)

Input			Output
P	R	S	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

[6 marks]  
[6 markah]

CLO2  
C3

c) Draw the truth table and logic circuit for 2 to 4 line decoder.

Lukis jadual kebenaran dan litar logik untuk penyahkod 2 kepada 4 talian.

[6 marks]  
[6 markah]

CLO2  
C3

QUESTION 3

SOALAN

a) State the output for JK flip-flop as given in Table B3(a).

Nyatakan keadaan keluaran flip-flop JK seperti yang diberi dalam Jadual B3(a).

Table B3(a)/ Jadual B3(a)

CLK	J	K	Q	$\bar{Q}$	Output State
↓ (1)	1	0	1	0	
↓ (1)	0	1	0	1	
— (0)	1	0	0	1	

[3marks]  
[3 markah]

CLO2  
C2

b) Identify the type and construct the truth table of flip-flop shown in Figure B3(b)

Tentukan jenis dan bina jadual kebenaran bagi flip flop yang ditunjukkan pada Rajah Rajah B3(b).

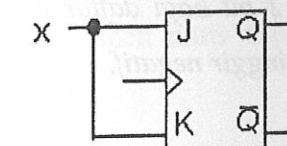


Figure B3(b)/Rajah B3(b)

[5 marks]  
[5markah]

CLO2  
C3

- c) Sketch the output (Q) timing diagram for the flip-flop in Q3b if the input X is given in Figure B3(c). (Assuming the initial state  $Q_n = 0$ ). Sketch your answer in Appendix 1)

Lakarkan keluaran (Q) rajah masa bagi flip-flop di Q3b jika masukan X seperti Rajah B3(c) (Anggapkan keadaan awal  $Q_n=0$ ). (Lakarkan jawapan anda dalam Lampiran 1)

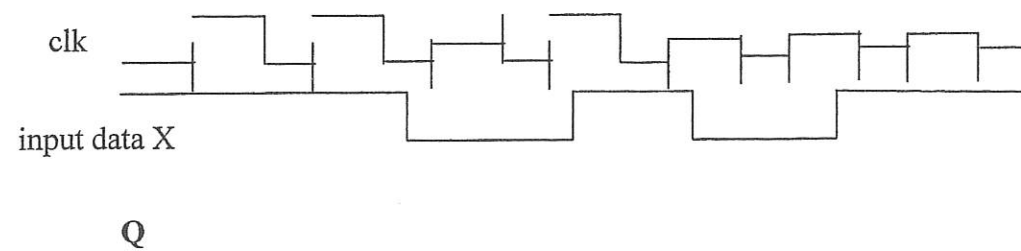


Figure B3(c)/Rajah B3(c)

[7 marks]

[7 markah]

QUESTION 4

SOALAN 4

- (a) Sketch a logic circuit for 2 bit Serial in Parallel out (SIPO) shift register negative edge trigger.

CLO2  
C2

Lakarkan litar logik 2 bit bagi daftar anjak masukan sesiri keluaran selari (SIPO) bagi picuan pinggir negatif.

[3 marks]

[3 markah]

- b) Draw the 4 bit Serial Input Serial Output (SISO) shift register positive edge trigger.

CLO2  
C3

Lakarkan litar logik bagi daftar anjak masukan sesiri keluaran selari (SIPO) bagi picuan pinggir positif.

[6 marks]

[6 markah]

CLO2  
C3

- d) Based on question 4(b), draw the timing diagram with the data entered is 1011. Assume that 4 bit serial in/serial out shift register is initially clear.

Berdasarkan kepada soalan 4(b), lukiskan rajah masa. Data yang dimasukkan adalah 1011. Anggap pada keadaan awal adalah daftar anjak 4 bit masukan sesiri/keluaran sesiri adalah dalam keadaan bersih.

[6 marks]

[6 markah]

SECTION C : 30 MARKS

BAHAGIAN C : 30 MARKAH

INSTRUCTION:

This section consists of TWO (2) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi TWO (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1

SOALAN 1

CLO2  
C3

Given  $F = A.B.C + \overline{B.C.D} + A.B.C$ , construct the truth table and simplify the equation using Karnaugh Map then draw the logic circuit based on simplified equation using NAND gates only.

Diberi  $F = A.B.C + B.C.\overline{D} + A.B.C$ , bina jadual kebenaran dan ringkaskan persamaan ini menggunakan Peta Karnaugh kemudian lukiskan litar logik berdasarkan persamaan yang telah diringkaskan dengan menggunakan get TAK DAN sahaja.

[15 marks]

[15 markah]

CLO2  
C5

## QUESTION 2

## SOALAN 2

Design a synchronous up counter mode 8 using T flip-flop. Your design should illustrate state diagram, Excitation table, simplified equation(using Karnaugh Map) and logic circuit.

*Rekakan litar pembilang segerak membilang ke atas mod 8 dengan menggunakan flip-flop T. Reka bentuk litar anda mestilah disertakan dengan rajah keadaan, Jadual Ujaan, Persamaan Boolean yang telah diringkaskan dengan menggunakan Peta Karnaugh dan litar logik.*

[15 marks]

[15 markah]

SOALAN TAMAT

## LAMPIRAN 1/APPENDIX 1

